



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0064643
Application Number

출원 년 월 일 : 2002년 10월 22일
Date of Application OCT 22, 2002

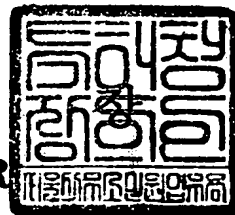
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.22
【발명의 명칭】	트랜지스터 어레이 및 이 어레이의 배치방법
【발명의 영문명칭】	Transistor array and layout method of this array
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	문경태
【성명의 영문표기】	MOON, KYEONG TAE
【주민등록번호】	680323-1029719
【우편번호】	442-747
【주소】	경기도 수원시 팔달구 영통동 황골마을신명아파트 204-706
【국적】	KR
【발명자】	
【성명의 국문표기】	이광희
【성명의 영문표기】	LEE, KWANG HEE
【주민등록번호】	700712-1079511
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 912동 501호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 529,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 트랜지스터 어레이 및 이 어레이의 배치방법을 공개한다. 이 어레이는 복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 제1사분면의 가운데의 대각선 방향의 영역에 배치된 복수개의 제1 LSB 트랜지스터들, 복수개의 제1 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 각각 배치된 복수개의 제1 MSB 트랜지스터들, 어레이의 제2사분면에 복수개의 제1 LSB 트랜지스터들 및 복수개의 제1 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제2 LSB 트랜지스터들 및 복수개의 제2 MSB 트랜지스터들, 어레이의 제3사분면에 복수개의 제1 LSB 트랜지스터들 및 복수개의 제1 MSB 트랜지스터들과 X축 방향으로 대칭되게 배치된 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들, 및 어레이의 제4사분면에 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제4 LSB 트랜지스터들 및 복수개의 제4 MSB 트랜지스터들로 구성되어 있다. 따라서, 트랜지스터 어레이를 구성하는 트랜지스터들의 온도 분포 및 공정 변화에 따른 영향을 최소화할 수 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

트랜지스터 어레이 및 이 어레이의 배치방법{Transistor array and layout method of this array}

【도면의 간단한 설명】

도1은 종래의 플래쉬 방식 디지털 아날로그 변환회로의 일예의 구성을 나타내는 블록도이다.

도2는 도1에 나타낸 플래쉬 방식 디지털 아날로그 변환회로의 MSB 및 LSB 트랜지스터 어레이의 일예의 배치방법을 나타내는 것이다.

도3은 도1에 나타낸 플래쉬 방식 디지털 아날로그 변환회로의 MSB 및 LSB 트랜지스터 어레이의 다른 예의 배치방법을 나타내는 것이다.

도4a, b는 일반적인 하나의 칩내에 트랜지스터들이 배치된 위치에 따른 시스티메틱(systematic) 및 그레이디드(graded) 에러 분포도를 나타내는 그래프이다.

도5는 도4a에 나타낸 시스티메틱 에러 분포를 선형화하여 모델링한 에러 분포도를 나타내는 그래프이다.

도6은 도5의 에러 분포도에 나타낸 에러 값에 따라 트랜지스터의 어레이의 트랜지스터들의 배치된 위치에 따른 에러 값을 나타내는 것이다.

도7은 본 발명의 트랜지스터 어레이의 일실시예의 배치방법을 나타내는 것이다.

도8은 본 발명의 트랜지스터 어레이의 바람직한 실시예의 배치방법을 나타내는 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명의 트랜지스터 어레이의 배치방법에 관한 것으로, 특히 하나의 칩내에 배치된 트랜지스터들의 위치에 따른 에러 값을 고려하여 배치된 트랜지스터 어레이 및 이 어레이의 배치방법에 관한 것이다.
- <10> 종래의 트랜지스터 어레이의 배치방법을 8비트의 디지털 신호를 입력하고 변환하여 256개의 다양한 레벨을 가지는 아날로그 신호를 발생하는 플래쉬 방식 디지털 아날로그 변환회로의 트랜지스터 어레이를 이용하여 설명하면 다음과 같다.
- <11> 도1은 종래의 플래쉬 방식 디지털 아날로그 변환회로의 일예의 구성을 나타내는 블록도로서, 4-15 변환기들(10-1, 10-2), MSB 트랜지스터 어레이(20-1), LSB 트랜지스터 어레이(20-2), MSB 스위치들(30-2), 및 LSB 스위치들(30-2)로 구성되어 있다.
- <12> 도1에서, MSB 트랜지스터 어레이(20-1)는 트랜지스터들(M1 ~ M15)로 구성되고, LSB 트랜지스터 어레이(20-2)는 트랜지스터들(L1 ~ L15)로 구성되어 있다. MSB 트랜지스터 어레이(20-1)의 트랜지스터들(M1 ~ M15)의 크기가 LSB 트랜지스터 어레이(20-2)의 트랜지스터들(L1 ~ L15)의 크기에 비해서 16배 크게 구성되어 있다. 즉, 16개의 LSB 트랜지스터들이 모여서 하나의 MSB 트랜지스터를 구성한다. 트랜지스터들(M1 ~ M15, L1 ~ L15) 각각은 전원전압(VCC)이 인가되는 드레인과 바이어스 전압(BIAS)이 인가되는 게이트를 가진 NMOS트랜지스터로 구성되어 있다. MSB 스위치들(30-1)은 트랜지스터들(M1 ~ M15) 각각과 출력신호(Aout) 발생단자사이에 연결된 스위치들(MS1 ~ MS15)로 구성되고, LSB

스위치들(30-2)은 트랜지스터들(L1 ~ L15) 각각과 출력신호(Aout) 발생단자사이에 연결된 스위치들(LS1 ~ LS15)로 구성되어 있다.

<13> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<14> 4-15 변환기(10-1)는 8비트의 디지털 신호(B8 ~ B1)의 상위 4비트의 디지털 신호(B8 ~ B5)를 변환하여 15비트의 디지털 신호(M01 ~ M015)를 발생한다. 상위 4비트의 디지털 신호(B5 ~ B8)가 "0000"이면 "00...0"의 디지털 신호(M01 ~ M015)를 발생하고, 디지털 신호(B5 ~ B8)가 "0001"이면 "00...1"의 디지털 신호(M01 ~ M015)를 발생한다. 그리고, 디지털 신호(B5 ~ B8)가 "0011"이면 "00...011"의 디지털 신호(M01 ~ M015)를 발생한다. 즉, 디지털 신호(B5 ~ B8)가 1증가할 때마다 디지털 신호(M01 ~ M015)의 1인 비트수가 하나씩 증가한다. 4-15 변환기(10-2)는 8비트의 디지털 신호(B8 ~ B1)의 하위 4비트의 디지털 신호(B4 ~ B1)를 변환하여 15비트의 디지털 신호(L01 ~ L015)를 발생한다. 트랜지스터 셀들(M1 ~ M15)은 일정한 양의 전류를 흐르게 하고, 트랜지스터들(L1 ~ L15) 또한 일정한 양의 전류를 흐르게 한다. 이때, 트랜지스터들(M1 ~ M15) 각각의 크기가 트랜지스터들(L1 ~ L15) 각각의 크기에 비해서 16배 크므로 트랜지스터들(M1 ~ M15) 각각을 통하여 흐르는 전류 양은 트랜지스터들(L1 ~ L15) 각각을 통하여 흐르는 전류 양의 16배가 된다. MSB 스위치들(MS1 ~ MS15) 각각은 디지털 신호들(M01 ~ M015) 각각이 "하이"레벨이

면 온되어 출력신호(Aout) 발생단자로 전류를 흐르게 한다. LSB 스위치들(LS1 ~ LS15) 각각은 디지털 신호들(L01 ~ L015) 각각이 "하이"레벨이면 온되어 출력신호(Aout) 발생단자로 전류를 흐르게 한다. MSB 스위치(30-1)와 LSB 스위치(30-2)를 통하여 흐르는 전류가 합해져서 출력신호(Aout) 발생단자로 흐르게 된다. 이때, 출력신호(Aout) 발생단자를 통하여 출력되는 전류의 레벨은 총 256레벨이 되며, 이들 전류의 레벨 차이는 균일하여야 한다.

<15> 그런데, 종래의 MSB 및 LSB 트랜지스터 어레이의 배치방법에 따라 배치하게 되면 출력신호(Aout) 발생단자로부터 출력되는 아날로그 신호의 레벨이 균일한 레벨 차이를 가지고 발생되지 않게 된다.

<16> 도2는 도1에 나타낸 플래쉬 방식 디지털 아날로그 변환회로의 MSB 및 LSB 트랜지스터 어레이의 일예의 배치방법을 나타내는 것으로, 16개의 행과 16개의 열로 이루어진 트랜지스터 어레이를 나타내는 것이다.

<17> 도2에서, $T1, 1 \sim Tn, n$ 는 어레이의 영역을 나타내는 것으로, T 바로 옆의 숫자는 행을, 마지막의 숫자는 열을 나타낸다. 예를 들면, $T1, 1$ 은 1번째 행과 1번째 열에 위치한 어레이의 영역을 나타낸다.

<18> 도2에 나타낸 트랜지스터 어레이의 배치방법을 설명하면 다음과 같다.

<19> MSB 트랜지스터(M1)는 영역들($T1, 1, T2, 1, \dots, T16, 1$) 각각에 LSB 트랜지스터의 크기와 동일한 크기로 배치되고, MSB 트랜지스터(M2)는 영역들($T1, 2, T2, 2, \dots, T16, 2$) 각각에 LSB 트랜지스터의 크기와 동일한 크기로 배치되고, MSB 트랜지스터(M15)는 영역들($T1, 15, T2, 15, \dots, T16, 15$) 각각에 LSB 트랜지스터의 크기와

동일한 크기로 배치된다. MSB 트랜지스터들(M1 ~ M15) 각각을 구성하는 16개의 트랜지스터들은 동일 열에 나란하게 배치된다. LSB 트랜지스터들(L1 ~ L15)은 영역들(T1,16, T2,16, ..., T15,16) 각각에 배치된다. LSB 트랜지스터들(L1 ~ L15) 또한 16번째 열에 나란하게 배치된다.

<20> 도2에 나타낸 배치방법은 하나의 칩내에 위치한 트랜지스터 어레이의 트랜지스터들이 배치된 위치에 따라 다른 온도 분포 및 공정 변화를 가지기 때문에 트랜지스터 어레이의 트랜지스터들이 동일한 동작 특성을 나타내지 않게 된다. 즉, 트랜지스터 어레이의 트랜지스터들이 온도 분포 및 공정 변화에 의해서 에러 값을 가지게 된다.

<21> 따라서, 트랜지스터 어레이로부터 출력되는 신호가 균일한 레벨 차이를 가지고 발생될 수 없다.

<22> 도3은 도1에 나타낸 플래쉬 방식 디지털 아날로그 변환회로의 MSB 및 LSB 트랜지스터 어레이의 다른 예의 배치방법을 나타내는 것으로, T1,1 ~ T16,16의 영역에 하나의 트랜지스터가 각각 배치된다.

<23> 도3에 나타낸 트랜지스터의 어레이의 배치방법을 설명하면 다음과 같다.

<24> LSB 트랜지스터들(L1 ~ L15)이 영역들(T1,8, T2,8, ..., T16,8) 각각에 배치된다. 즉, LSB 트랜지스터들(L1 ~ L15)이 어레이의 가운데의 8번째 열에 나란하게 배치된다. MSB 트랜지스터(M1)는 영역들(T1,1, T2,2, ..., T7, 7, T9, 8, T10, 9, ..., T16,15, T16,1) 각각에 LSB 트랜지스터와 동일한 크기로 배치되고, MSB 트랜지스터(M2)는 영역들(T2,1, T3,2, ..., T8,7, T9,9, T10,10, ..., T16,16, T1,16)

각각에 LSB 트랜지스터와 동일한 크기로 배치된다. 그리고, MSB 트랜지스터(M15)는 영역들(T1,2, T2,3, ..., T7,6, T7,9, T8,10, ..., T14,16, T15,1, T16,2) 각각에 LSB 트랜지스터와 동일한 크기로 배치된다. 다른 MSB 트랜지스터들(M3 ~ M14)도 MSB 트랜지스터들(M1, M2, M15)과 마찬가지로 대각선 방향의 영역에 배치된다. 즉, MSB 트랜지스터들(M1 ~ M15) 각각이 대각선 방향의 영역에 배치된다.

<25> 도2 및 도3에 나타난 배치방법은 미국 특허 번호 제5,568,145호에 공개되어 있다.

<26> 도3에 나타난 배치방법은 도2에 나타난 배치방법의 문제점을 개선하기 위한 것으로, 온도 분포 및 공정 변화에 의한 영향을 줄이기 위하여 동시에 온되는 MSB 트랜지스터들(M1 ~ M15) 각각을 대각선 방향의 영역에 배치하였다.

<27> 그러나, 도3에 나타난 배치방법은 LSB 트랜지스터들(L1 ~ L15)이 가운데 부분에 몰려서 배치되기 때문에 온도 분포 및 공정 변화에 의한 영향을 완전히 배제할 수는 없다.

<28> 따라서, 트랜지스터 어레이로부터 출력되는 신호가 여전히 균일한 레벨 차이를 가지고 발생될 수 없다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명의 목적은 온도 분포 및 공정 변화에 의한 영향을 최소화하여 트랜지스터들을 배치함으로써 트랜지스터 어레이로부터 출력되는 신호가 균일한 레벨 차이를 가지고 발생될 수 있도록 하는 트랜지스터 어레이를 제공하는데 있다.

<30> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 트랜지스터 어레이의 배치방법을 제공하는데 있다.

- <31> 상기 목적을 달성하기 위한 본 발명의 트랜지스터 어레이의 제1형태는 복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 가운데의 대각선 방향의 영역에 배치된 복수개의 LSB 트랜지스터들, 및 상기 복수개의 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 각각 배치된 복수개의 MSB 트랜지스터들을 구비하는 것을 특징으로 한다.
- <32> 상기 목적을 달성하기 위한 본 발명의 트랜지스터 어레이의 제2형태는 복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 제1사분면의 가운데의 대각선 방향의 영역에 배치된 복수개의 제1 LSB 트랜지스터들, 상기 복수개의 제1 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 각각 배치된 복수개의 제1 MSB 트랜지스터들, 상기 어레이의 제2사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제2 LSB 트랜지스터들 및 복수개의 제2 MSB 트랜지스터들, 상기 어레이의 제3사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 X축 방향으로 대칭되게 배치된 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들, 및 상기 어레이의 제4사분면에 상기 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제4 LSB 트랜지스터들 및 복수개의 제4 MSB 트랜지스터들을 구비하는 것을 특징으로 한다.
- <33> 상기 다른 목적을 달성하기 위한 본 발명의 트랜지스터 어레이의 배치방법의 제1형태는 복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 가운데의 대각선 방향의 영역에 복수개의 LSB 트랜지스터들을 배치하는 단계, 및 상기 복수개의 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 복수개의 MSB 트랜지스터들 각각을 배치하는 단계를 구비하는 것을 특징으로 한다.

<34> 상기 다른 목적을 달성하기 위한 본 발명의 트랜지스터 어레이의 배치방법의 제2형태는 복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 제1사분면의 가운데의 대각선 방향의 영역에 복수개의 제1 LSB 트랜지스터들을 배치하는 단계, 상기 복수개의 제1 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 복수개의 제1 MSB 트랜지스터들 각각을 배치하는 단계, 상기 어레이의 제2사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 Y축 방향으로 대칭되게 복수개의 제2 LSB 트랜지스터들 및 복수개의 제2 MSB 트랜지스터들을 배치하는 단계, 상기 어레이의 제3사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 X축 방향으로 대칭되게 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들을 배치하는 단계, 및 상기 어레이의 제4사분면에 상기 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들과 Y축 방향으로 대칭되게 복수개의 제4 LSB 트랜지스터들 및 복수개의 제4 MSB 트랜지스터들을 배치하는 단계를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<35> 이하, 첨부한 도면을 참고로 하여 본 발명의 트랜지스터 어레이 및 이 어레이의 배치방법을 설명하면 다음과 같다.

<36> 본 발명에서는 온도 분포 및 공정 변화에 따른 에러 분포를 나타내는 일반적인 시스템틱 및 그레이디드 에러 분포도를 이용하여 트랜지스터 어레이를 배치하는 방법을 제안한다.

<37> 도4a, b는 일반적인 하나의 칩내에 트랜지스터들이 배치된 위치에 따른 시스템틱(systematic) 및 그레이디드(graded) 에러 분포도를 각각 나타내는 그래프이다.

- <38> 도4a, b에 나타낸 그래프의 아랫면이 하나의 칩내에 트랜지스터들이 배치된 위치를 나타내고 세로축이 각 위치에 배치된 트랜지스터들에 대한 에러 값을 나타낸다.
- <39> 도4a의 에러 분포도를 보면, 가운데 부분에 배치된 트랜지스터들의 에러 값은 0내지 0.1의 값을 가지고, 가운데 부분으로부터 멀리 배치될수록 트랜지스터들의 에러 값이 커지게 된다. 가장자리 부분에 배치된 트랜지스터들은 0.9 내지 1의 에러 값을 가진다. 즉, 도4a에 나타낸 에러 분포도는 공간적인 에러 분포를 가진다.
- <40> 그리고, 도4b의 에러 분포도를 보면, 가운데 부분에 배치된 트랜지스터들의 에러 값은 0.0의 에러 값을 가지고, 가운데 부분으로부터 우측으로 멀리 배치될수록 트랜지스터들의 에러 값이 커지고, 가운데 부분으로부터 좌측으로 멀리 배치될수록 트랜지스터들의 에러 값이 작아지게 된다. 즉, 도4b에 나타낸 에러 분포도는 평면적인 에러 분포를 가진다.
- <41> 도5는 도4a에 나타낸 시스템틱 에러 분포를 선형화하여 모델링한 에러 분포도를 나타내는 그래프로서, 에러 값에 가중치를 부여하여 -15에서 15까지의 에러 값으로 나타낸 것이다.
- <42> 도5에 나타낸 에러 분포도로부터 알 수 있듯이, 트랜지스터 어레이의 가운데 부분에 배치된 트랜지스터들의 에러 값은 -15 내지 -10의 값을 가지며, 가운데 부분으로부터 멀어질수록 트랜지스터들의 에러 값이 커지게 된다. 즉, 가장자리 부분에 배치된 트랜지스터들의 에러 값은 10 내지 15의 값을 가진다.
- <43> 도6은 도5의 에러 분포도에 나타낸 에러 값에 따라 트랜지스터 어레이의 트랜지스터들의 배치된 위치에 따른 에러 값을 나타낸 것이다.

<44> 도6에 나타낸 바와 같이, 트랜지스터 어레이가 배치되는 칩의 영역을 32×32 로 나누어서 각 위치에 따른 에러 값을 나타내는 것으로, 1사분면(40-1)의 우측으로 기울어진 대각선 방향, 2사분면(40-2)의 좌측으로 기울어진 대각선 방향, 3사분면(40-3)의 좌측으로 기울어진 대각선 방향, 및 4사분면(40-4)의 우측으로 기울어진 대각선 방향의 영역은 에러 값이 0이 된다. 그리고, 0의 에러 값을 가진 영역으로부터 내부로 들어가는 대각선 방향의 영역은 -1이 되고, 가장 안쪽의 영역은 -15가 된다. 즉, 에러 값이 0인 영역을 기준으로 하여 내부로 들어가면서 에러 값이 1씩 작아지게 된다. 그리고, 0의 에러 값을 가진 영역의 외부로 나오는 대각선 방향의 영역은 1이 되고, 가장 바깥쪽의 영역은 15가 된다. 즉, 에러 값이 0인 영역을 기준으로 하여 외부로 나가면서 에러 값이 1씩 커지게 된다.

<45> 도7은 본 발명의 트랜지스터 어레이의 일실시예의 배치방법을 나타내는 것으로, 도1에 나타낸 LSB 트랜지스터들(L1 ~ L15)이 가운데의 대각선 방향의 영역에 나란하게 배치되고, MSB 트랜지스터들(M1 ~ M15) 각각이 LSB 트랜지스터들(L1 ~ L15)의 상부와 하부에 대각선 방향의 영역에 배치된다.

<46> 도7에 나타낸 트랜지스터 어레이의 배치를 좀 더 상세하게 설명하면 다음과 같다.

<47> LSB 트랜지스터들(L1 ~ L15)은 영역들(T1,16, T2,15, ..., T16,1)에 나란하게 배치되고, MSB 트랜지스터(M1)는 영역들(T2,16, T3,15, ..., T16,2, T16,16) 각각에 LSB 트랜지스터와 동일한 크기로 배치된다. MSB 트랜지스터(M2)는 영역들(T1,14, T2,13, ..., T14,1, T16,15, T16, 15) 각각에 LSB 트랜지스터와 동일한 크기로 배치되고, MSB 트랜지스터(M15)는 영역들(T2,16, T3,15, ..., T15,3, T16,2, T1,1) 각각에 LSB 트랜지스터와 동일한 크기로 배치된다. 다른 MSB 트랜지스터들(M3 ~ M14) 각각도 대각선 방향으로 배

치된다. 즉, MSB 트랜지스터들(M1 ~ M15) 각각은 LSB 트랜지스터들(L1 ~ L15)의 상부의 대각선 방향의 영역들(T2,16, T3,15, ..., T16,2)로부터 상부의 모서리 영역(T1,1)까지 대각선 방향으로 순서대로 나란하게 배치되고, 또한, LSB 트랜지스터들(L1 ~ L15)의 하부의 대각선 방향의 영역들(T2,16, T3,15, ..., T15,3, T16,2)로부터 하부의 모서리 위치(T16,16)까지 대각선 방향으로 역순으로 나란하게 배치된다.

<48> 즉, 도7에 나타낸 트랜지스터 어레이의 배치방법은 LSB 트랜지스터들(L1 ~ L15) 각각의 에러 값은 모두 0이고, MSB 트랜지스터들(M1 ~ M15) 각각의 16개의 트랜지스터들의 에러 값을 합한 값이 모두 0이 된다.

<49> 도7에 나타낸 트랜지스터 어레이의 배치방법은 MSB트랜지스터들(M1 ~ M15) 뿐만아니라 LSB 트랜지스터들(L1 ~ L15)도 대각선 방향으로 배치함으로써 도3에 나타낸 종래의 방법에 비해서 온도 분포 및 공정 변화에 의한 영향을 배제할 수 있다.

<50> 그러나, 도7에 나타낸 배치방법은 도6에 나타낸 바와 같은 완전하게 대칭적인 배치를 가지지 않기 때문에 온도 분포 및 공정 변화에 의한 영향을 완전하게 배제할 수 없다.

<51> 도8은 본 발명의 트랜지스터 어레이의 바람직한 실시예의 배치방법을 나타내는 것으로, 도7에 나타낸 MSB 트랜지스터들(M1 ~ M15) 각각이 16개의 LSB 트랜지스터들로 구성되어 있으나, 도8에서는 MSB 트랜지스터들(M1 ~ M15) 각각이 64개의 LSB 트랜지스터들로 나누어져서 구성되어 있다. 도8에 나타낸 하나의 영역에 배치되는 트랜지스터의 크기는 도7에 나타낸 하나의 영역에 배치되는 트랜지스터의 크기의 1/4가 된다.

- <52> 도8에 나타낸 트랜지스터 어레이의 배치방법은 도6에 나타낸 에러 값을 고려하여 배치되는데 LSB 트랜지스터들(L1 ~ L15) 각각의 에러 값이 0이 되고, MSB 트랜지스터들(M1 ~ M15) 각각을 구성하는 64개의 트랜지스터들의 에러 값을 합한 값이 0이 되도록 배치한다.
- <53> 즉, 1사분면(40-1)에 배치되는 트랜지스터 어레이는 도7에 나타낸 트랜지스터 어레이의 배치와 동일하게 배치하고, 2사분면(40-2)에 배치되는 트랜지스터 어레이는 1사분면(40-1)에 배치되는 트랜지스터 어레이와 Y축 방향으로 대칭되도록 배치한다. 그리고, 3사분면(40-3)에 배치되는 트랜지스터 어레이는 1사분면(40-1)에 배치되는 트랜지스터 어레이와 X축 방향으로 대칭되도록 배치하고, 4사분면(40-4)에 배치되는 트랜지스터 어레이는 3사분면(40-3)에 배치되는 트랜지스터 어레이와 Y축 방향으로 대칭되도록 배치한다.
- <54> 도8에 나타낸 배치방법은 트랜지스터의 위치에 따른 에러 값을 기초로하여 트랜지스터 어레이를 구성하는 LSB 및 MSB 트랜지스터들을 완전 대칭되게 배치함으로써 온도 분포 및 공정 변화에 따른 영향을 최소화할 수 있다.
- <55> 따라서, 트랜지스터 어레이로부터 출력되는 신호가 균일한 레벨 차이를 가지고 발생될 수 있다.
- <56> 상술한 실시예에서는 트랜지스터 어레이를 예로 들어 설명하였으나, 캐패시터 어레이를 배치하는 경우에도 동일한 방법으로 배치하는 것이 가능하다.
- <57> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

- <58> 본 발명의 트랜지스터 어레이 및 이 어레이의 배치방법은 트랜지스터 어레이를 구성하는 트랜지스터들을 배치시에 온도 분포 및 공정 변화에 따른 영향을 최소화할 수 있다.
- <59> 따라서, 본 발명의 트랜지스터 어레이를 구비하는 플래쉬 방식 디지털 아날로그 변환회로와 같은 회로 소자의 동작 특성이 개선될 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 가운데의 대각선 방향의 영역에 배치된 복수개의 LSB 트랜지스터들; 및

상기 복수개의 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 각각 배치된 복수개의 MSB 트랜지스터들을 구비하는 것을 특징으로 하는 트랜지스터 어레이.

【청구항 2】

제1항에 있어서, 상기 복수개의 MSB 트랜지스터들 각각은

상기 LSB 트랜지스터와 동일한 크기를 가진 복수개의 트랜지스터들로 구성된 것을 특징으로 하는 트랜지스터 어레이.

【청구항 3】

제1항에 있어서, 상기 복수개의 MSB 트랜지스터들은

상기 복수개의 LSB 트랜지스터들이 배치된 영역의 상부의 대각선 방향의 영역으로부터 상부의 모서리 영역까지 상기 복수개의 MSB 트랜지스터들이 대각선 방향으로 순서대로 배치되고,

상기 복수개의 LSB 트랜지스터들이 배치된 영역의 하부의 대각선 방향의 영역으로부터 하부의 모서리 영역까지 상기 복수개의 MSB 트랜지스터들이 대각선 방향으로 역순으로 배치되는 것을 특징으로 하는 트랜지스터 어레이.

【청구항 4】

복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 제1사분면의 가운데의 대각선 방향의 영역에 배치된 복수개의 제1 LSB 트랜지스터들;

상기 복수개의 제1 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 각각 배치된 복수개의 제1 MSB 트랜지스터들;

상기 어레이의 제2사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제2 LSB 트랜지스터들 및 복수개의 제2 MSB 트랜지스터들;

상기 어레이의 제3사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 X축 방향으로 대칭되게 배치된 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들; 및

상기 어레이의 제4사분면에 상기 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들과 Y축 방향으로 대칭되게 배치된 복수개의 제4 LSB 트랜지스터들 및 복수개의 제4 MSB 트랜지스터들을 구비하는 것을 특징으로 하는 트랜지스터 어레이.

【청구항 5】

제4항에 있어서, 상기 복수개의 제1, 제2, 제3, 및 제4 MSB 트랜지스터들 각각은

상기 LSB 트랜지스터와 동일한 크기를 가진 복수개의 트랜지스터들로 구성된 것을 특징으로 하는 트랜지스터 어레이.

【청구항 6】

제4항에 있어서, 상기 복수개의 제1 MSB 트랜지스터들은

상기 복수개의 제1 LSB 트랜지스터들이 배치된 영역의 상부의 대각선 방향의 영역으로부터 상부의 모서리 영역까지 대각선 방향으로 상기 복수개의 제1 MSB 트랜지스터들이 순서대로 배치되고,

상기 복수개의 제1 LSB 트랜지스터들이 배치된 영역의 하부의 대각선 방향의 영역으로부터 하부의 모서리 영역까지 대각선 방향으로 상기 복수개의 제1 MSB 트랜지스터들이 역순으로 배치되는 것을 특징으로 하는 트랜지스터 어레이.

【청구항 7】

복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 가운데의 대각선 방향의 영역에 복수개의 LSB 트랜지스터들을 배치하는 단계; 및

상기 복수개의 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 복수개의 MSB 트랜지스터들 각각을 배치하는 단계를 구비하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【청구항 8】

제7항에 있어서, 상기 복수개의 MSB 트랜지스터들 각각을

상기 LSB 트랜지스터와 동일한 크기를 가진 복수개의 트랜지스터들로 구성되도록 배치하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【청구항 9】

제7항에 있어서, 상기 복수개의 MSB 트랜지스터들을 배치하는 단계는

상기 복수개의 LSB 트랜지스터들이 배치된 영역의 상부의 대각선 방향의 영역으로부터 상부의 모서리 영역까지 대각선 방향으로 상기 복수개의 MSB 트랜지스터들을 순서대로 배치하고,

상기 복수개의 LSB 트랜지스터들이 배치된 영역의 하부의 대각선 영역으로부터 하부의 모서리 영역까지 대각선 방향으로 상기 복수개의 MSB 트랜지스터들을 역순으로 배치하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【청구항 10】

복수개의 로우와 복수개의 컬럼으로 이루어진 어레이의 제1사분면의 가운데의 대각선 방향의 영역에 복수개의 제1 LSB 트랜지스터들을 배치하는 단계;

상기 복수개의 제1 LSB 트랜지스터들의 상부와 하부에 대각선 방향의 영역에 복수개의 제1 MSB 트랜지스터들 각각을 배치하는 단계;

상기 어레이의 제2사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 Y축 방향으로 대칭되게 복수개의 제2 LSB 트랜지스터들 및 복수개의 제2 MSB 트랜지스터들을 배치하는 단계;

상기 어레이의 제3사분면에 상기 복수개의 제1 LSB 트랜지스터들 및 상기 복수개의 제1 MSB 트랜지스터들과 X축 방향으로 대칭되게 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들을 배치하는 단계; 및

상기 어레이의 제4사분면에 상기 복수개의 제3 LSB 트랜지스터들 및 복수개의 제3 MSB 트랜지스터들과 Y축 방향으로 대칭되게 복수개의 제4 LSB 트랜지스터들 및 복수개의

제4 MSB 트랜지스터들을 배치하는 단계를 구비하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【청구항 11】

제10항에 있어서, 상기 복수개의 제1, 제2, 제3, 및 제4 MSB 트랜지스터들 각각이 상기 LSB 트랜지스터와 동일한 크기를 가진 복수개의 트랜지스터들로 구성되도록 배치하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【청구항 12】

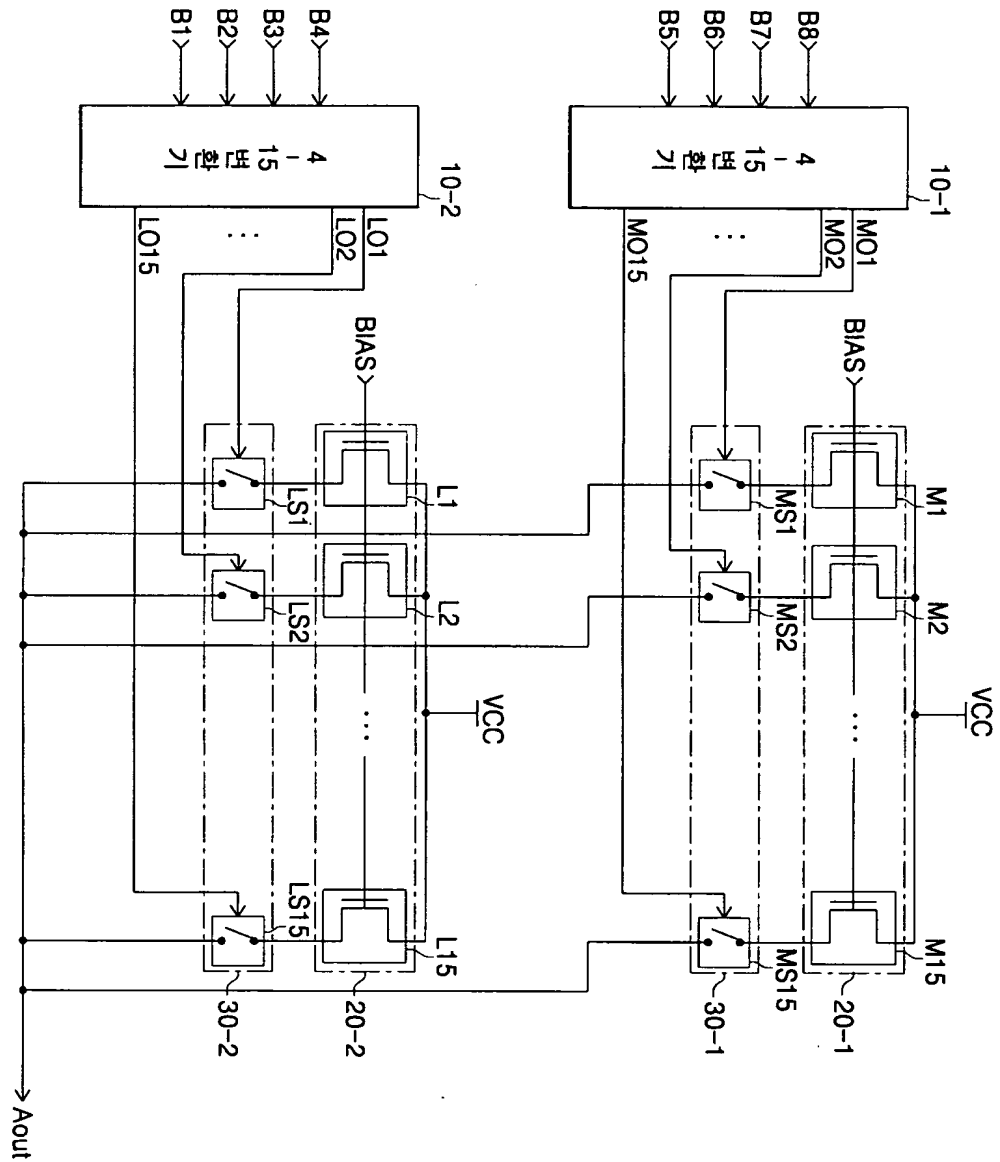
제10항에 있어서, 상기 복수개의 제1 MSB 트랜지스터들은

상기 복수개의 제1 LSB 트랜지스터들이 배치된 영역의 상부의 대각선 방향의 영역으로부터 상부의 모서리 영역까지 대각선 방향으로 상기 복수개의 제1 MSB 트랜지스터들을 순서대로 배치하고,

상기 복수개의 제1 LSB 트랜지스터들이 배치된 영역의 하부의 대각선 방향의 영역으로부터 하부의 모서리 영역까지 대각선 방향으로 상기 복수개의 제1 MSB 트랜지스터들을 역순으로 배치하는 것을 특징으로 하는 트랜지스터 어레이의 배치방법.

【도면】

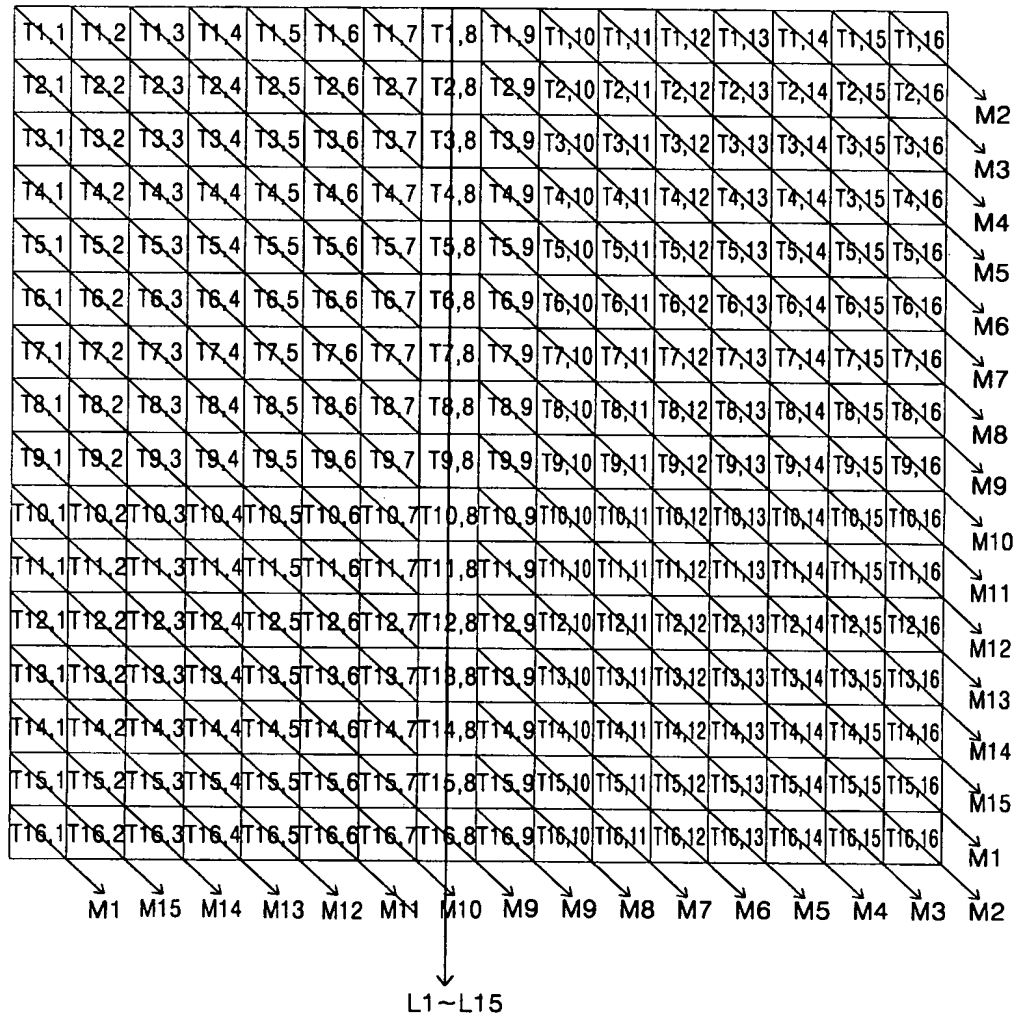
【도 1】



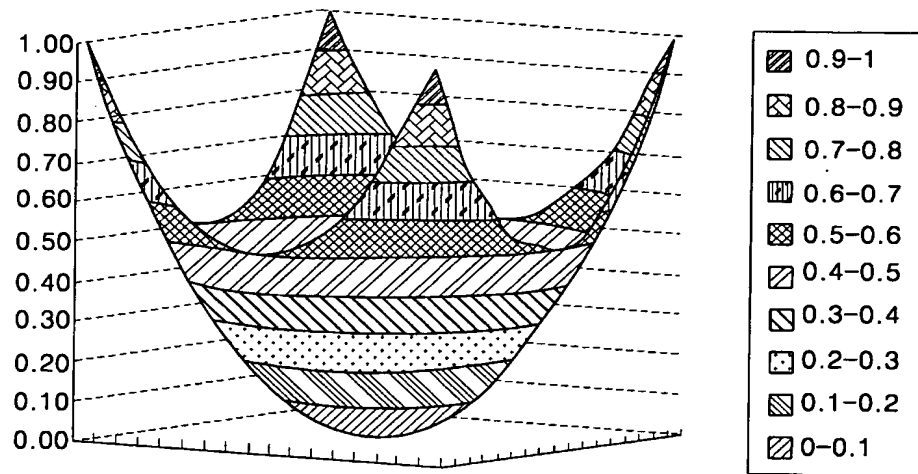
【도 2】

T1,1	T1,2	T1,3	T1,4	T1,5	T1,6	T1,7	T1,8	T1,9	T1,10	T1,11	T1,12	T1,13	T1,14	T1,15	T1,16
T2,1	T2,2	T2,3	T2,4	T2,5	T2,6	T2,7	T2,8	T2,9	T2,10	T2,11	T2,12	T2,13	T2,14	T2,15	T2,16
T3,1	T3,2	T3,3	T3,4	T3,5	T3,6	T3,7	T3,8	T3,9	T3,10	T3,11	T3,12	T3,13	T3,14	T3,15	T3,16
T4,1	T4,2	T4,3	T4,4	T4,5	T4,6	T4,7	T4,8	T4,9	T4,10	T4,11	T4,12	T4,13	T4,14	T3,15	T4,16
T5,1	T5,2	T5,3	T5,4	T5,5	T5,6	T5,7	T5,8	T5,9	T5,10	T5,11	T5,12	T5,13	T5,14	T5,15	T5,16
T6,1	T6,2	T6,3	T6,4	T6,5	T6,6	T6,7	T6,8	T6,9	T6,10	T6,11	T6,12	T6,13	T6,14	T6,15	T6,16
T7,1	T7,2	T7,3	T7,4	T7,5	T7,6	T7,7	T7,8	T7,9	T7,10	T7,11	T7,12	T7,13	T7,14	T7,15	T7,16
T8,1	T8,2	T8,3	T8,4	T8,5	T8,6	T8,7	T8,8	T8,9	T8,10	T8,11	T8,12	T8,13	T8,14	T8,15	T8,16
T9,1	T9,2	T9,3	T9,4	T9,5	T9,6	T9,7	T9,8	T9,9	T9,10	T9,11	T9,12	T9,13	T9,14	T9,15	T9,16
T10,1	T10,2	T10,3	T10,4	T10,5	T10,6	T10,7	T10,8	T10,9	T10,10	T10,11	T10,12	T10,13	T10,14	T10,15	T10,16
T11,1	T11,2	T11,3	T11,4	T11,5	T11,6	T11,7	T11,8	T11,9	T11,10	T11,11	T11,12	T11,13	T11,14	T11,15	T11,16
T12,1	T12,2	T12,3	T12,4	T12,5	T12,6	T12,7	T12,8	T12,9	T12,10	T12,11	T12,12	T12,13	T12,14	T12,15	T12,16
T13,1	T13,2	T13,3	T13,4	T13,5	T13,6	T13,7	T13,8	T13,9	T13,10	T13,11	T13,12	T13,13	T13,14	T13,15	T13,16
T14,1	T14,2	T14,3	T14,4	T14,5	T14,6	T14,7	T14,8	T14,9	T14,10	T14,11	T14,12	T14,13	T14,14	T14,15	T14,16
T15,1	T15,2	T15,3	T15,4	T15,5	T15,6	T15,7	T15,8	T15,9	T15,10	T15,11	T15,12	T15,13	T15,14	T15,15	T15,16
T16,1	T16,2	T16,3	T16,4	T16,5	T16,6	T16,7	T16,8	T16,9	T16,10	T16,11	T16,12	T16,13	T16,14	T16,15	T16,16
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15	L1~L15

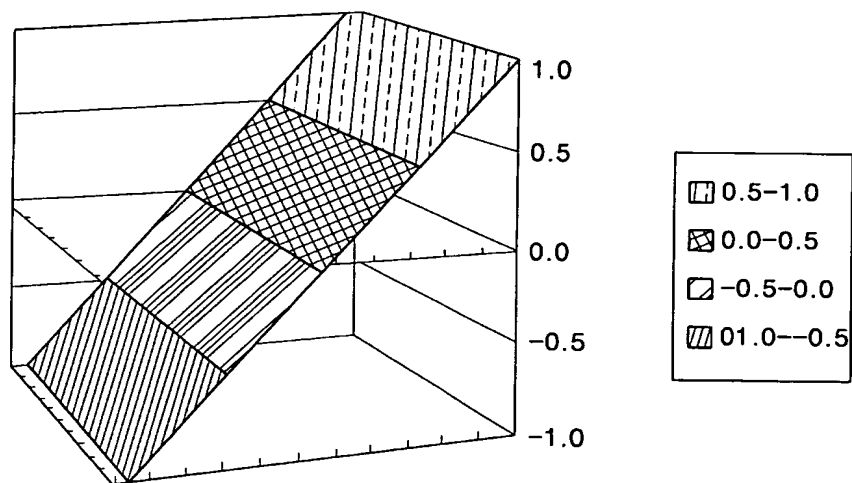
【도 3】



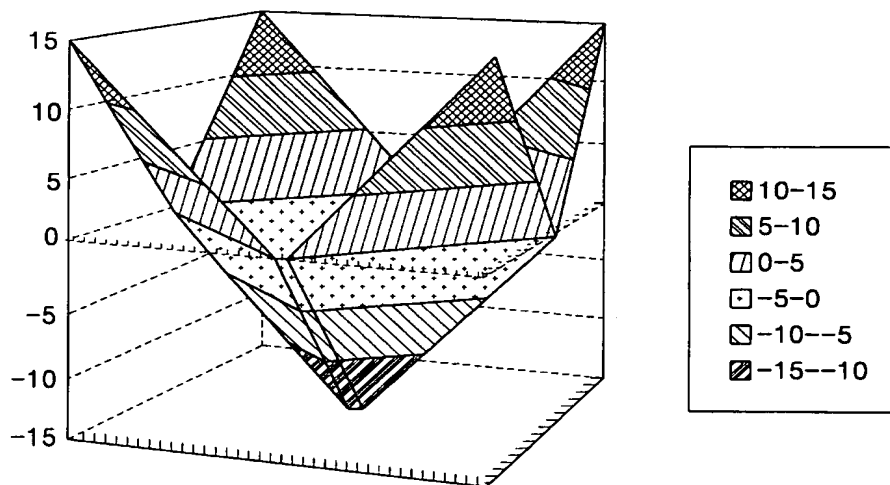
【도 4a】



【도 4b】



【도 5】



【도 6】

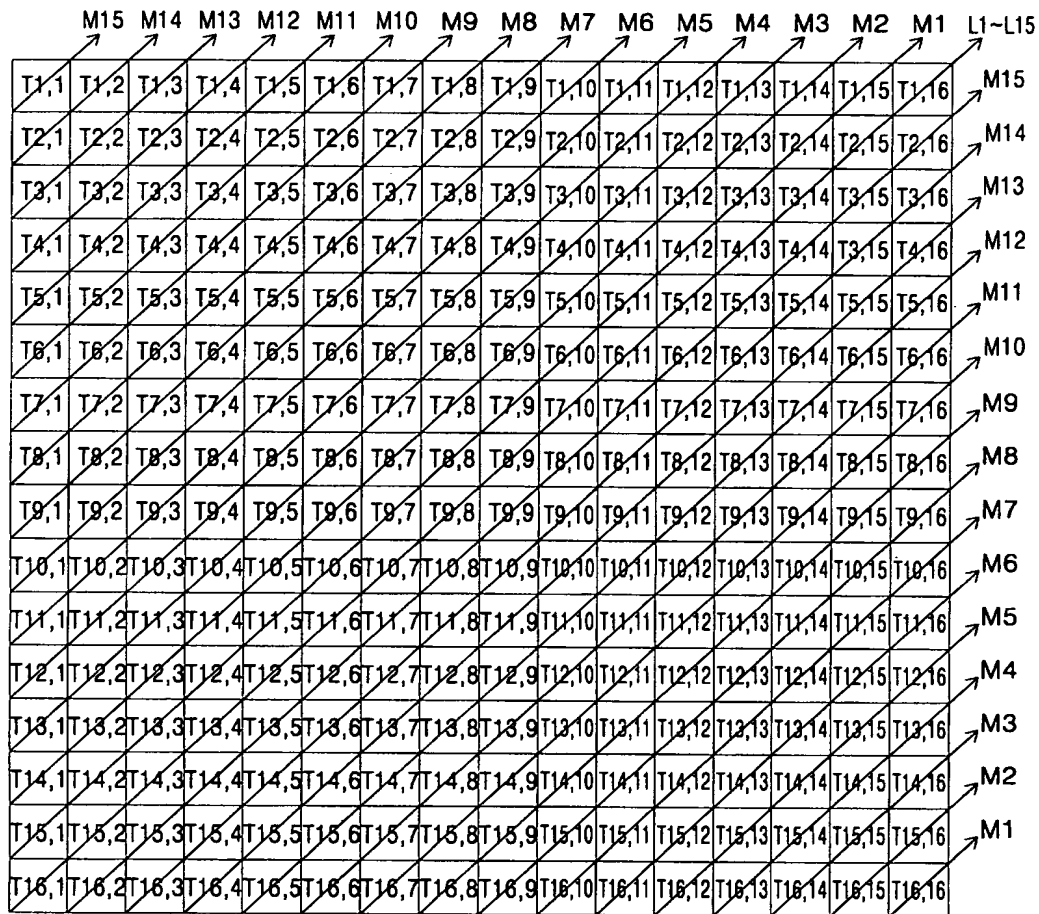
40-1																40-2																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	
12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	
11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	
10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	
9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	
8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	
7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	
6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	
5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	
4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	
3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	
2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	
1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	
0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	
0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	
1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-17	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	
2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-18	-17	-16	-15	-14	-13	-12	-11	-10	-9	-8	
3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-19	-18	-17	-16	-15	-14	-13	-12	-11	
4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-20	-19	-18	-17	-16	-15	-14	
5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-21	-20	-19	-18	-17	
6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-22	-21	-20	
7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23	-23	-22
8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23	-24
9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23
10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22
11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21
12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20
13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19
14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17

40-3																40-4																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
13	12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	
12	11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	12	
11	10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	11	
10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	10	
9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	9	
8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8	
7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	
6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	
5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	
4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	
3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	
2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	
1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1	
0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	
0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	
1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-17	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	
2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-18	-17	-16	-15	-14	-13	-12	-11	-10	-9	-8	
3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-19	-18	-17	-16	-15	-14	-13	-12	-11	
4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-20	-19	-18	-17	-16	-15	-14	
5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-21	-20	-19	-18	-17	
6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-22	-21	-20	
7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23	-23	-22
8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23	-24
9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22	-23
10	9	8	7	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20	-21	-22
11	10	9	8	7	6	5	4	3	2	1	0	-1	-																			

40-3

40-4

【도 7】



【도 8】

